

## BEST AVAILABLE COPY

## MEMORY ACCESS SYSTEM

Publication number: JP62226500

Publication date: 1987-10-05

Inventor: OHASHI TAKAYOSHI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: G11C7/00; G11C29/00; G11C29/04; G11C7/00;  
G11C29/00; G11C29/04; (IPC1-7): G11C7/00;  
G11C29/00

- european:

Application number: JP19860068426 19860328

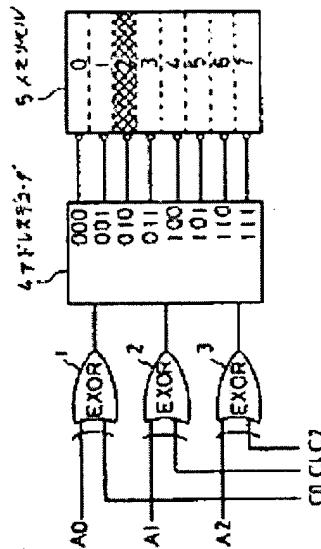
Priority number(s): JP19860068426 19860328

[Report a data error here](#)

Abstract of JP62226500

PURPOSE: To use an address to a fault area and to access a normal nonused address area by inputting the address through an address signal changing means to a memory.

CONSTITUTION: Addresses A0-A2 are changed through exclusive OR gates 1-3, etc., of an address signal converting means in accordance with control signals C0-C2, etc., the address to the fault area of a memory cell 5 is used, the nonused normal area of the cell 5 can be accessed and the reading/writing action of the normal data can be continued.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

# BEST AVAILABLE COPY

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-226500

⑬ Int.C1.1

G 11 C 29/00  
7/00

識別記号

3 0 1  
3 1 1

府内整理番号

C-7737-5B  
6549-5B

⑭ 公開 昭和62年(1987)10月5日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 メモリアクセス方式

⑯ 特願 昭61-68426

⑰ 出願 昭61(1986)3月28日

⑱ 発明者 大橋 孝喜 青梅市末広町2丁目9番地 株式会社東芝青梅工場内

⑲ 出願人 株式会社東芝 川崎市幸区堀川町72番地

⑳ 代理人 弁理士 本田 崇

## 明細書

### 1. 発明の名称

メモリアクセス方式

### 2. 特許請求の範囲

メモリを構成する複数のアドレス領域へのデータの読み書きを行なうメモリアクセス方式において、前記アドレス領域を指定するメモリアドレス信号を別のアドレス領域を指定するアドレス信号に変更するアドレス信号変更手段を介して前記メモリへ入力することを特徴とするメモリアクセス方式。

### 3. 発明の詳細な説明

#### 【発明の目的】

(産業上の利用分野)

本発明は、メモリセルのアドレス領域(データ書き込み領域)に対するアクセス方式に関する。

(従来の技術)

従来、メモリセルを構成する複数のアドレス領域と、これら各領域にアクセスするメモリアドレスとの関係は固定されている。従って、メモリ

セルのアドレス領域の一部が故障した場合で、且つ、正常な未使用のアドレス領域があった場合でも、前記故障したアドレス領域に対するアドレスを用いて正常な未使用のアドレス領域をアクセスすることができなかった。

(発明が解決しようとする問題点)

上記の如くメモリセルのアドレス領域の一部に故障が発生すると、このメモリセルに未使用的正常なアドレス領域があっても、このメモリセルを使用して正常なデータの読み書き動作ができないため、このメモリセルを使用している装置の動作の継続を行なうことができないという欠点があった。

そこで本発明は上記の欠点を除去するもので、故障アドレス領域を正常な未使用アドレス領域で置き換えて正常なデータの読み書き動作を容易に継続することができるメモリアクセス方式を提供することを目的とする。

【発明の構成】

(問題点を解決するための手段)

本発明のメモリアクセス方式は、メモリセルをアクセスするアドレス信号を任意の別のアドレス信号に変更し得るアドレス信号変更手段を介して前記メモリセルへ前記アドレス信号を入力する構成を採用している。

(作用)

本発明のメモリアクセス方式において、メモリセルの特定のアドレス領域が故障した場合、このアドレス領域にアクセスするアドレス信号を前記アドレス信号変更手段によって前記メモリセルの未使用の正常なアドレス領域に対応するアドレス信号に変更することができるため、故障アドレス領域を未使用の正常なアドレス領域に置き換えることができ、メモリセルへのデータ読み書き動作を継続することができる。

(実施例)

以下本発明の一実施例を図面を参照して説明する。第1図は本発明の一実施例を示したブロック図である。1, 2, 3は排他的論理和 (EXOR) ゲートで、それぞれアドレス信号A0, A1, A2

と制御信号C0, C1, C2の排他的論理和をとり、その結果をアドレスデコーダ4に出力する。4は入力アドレス信号をデコードしてメモリセル5へ出力するアドレスデコーダ、5は0~7番地が割付けられた8ワードのアドレス領域を有するメモリセルである。なお、メモリアドレス000~111がそれぞれメモリセル5の0~7番地の各ワードに対応するものとする。

次に本実施例の動作について説明する。先ず、メモリセル5の0~4番地の5ワードのアドレス領域を使用するものとし、残りの5~7番地の3ワードのアドレス領域は未使用とする。メモリセル5の上記5ワードが全て正常な場合、排他的論理和ゲート1に入力される制御信号C0~C2は全て0となるように制御される。このため、メモリアドレス信号A0, A1, A2はこのまま排他的論理和ゲート1, 2, 3を通過してアドレスデコーダ4に入力される。従ってメモリアドレス信号A0, A1, A2とメモリセル5の各アドレス領域は第1表に示すような対応関係となる。

即ち、メモリアドレス信号000は0番地のアドレス領域を、メモリアドレス信号001は1番地のアドレス領域を指定することになり、以下同様である。

第1表

A0	A1	A2	対応アドレス 領域(番地)
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

ここで、メモリセル5のメモリアドレス010に  
対応する2番地のアドレス領域が故障したとする。

このままでは、メモリセル5に故障アドレス領域が存在することになり、このメモリセルを使用したデータの読み出し、書き込み動作を継続することができなくなる。そこで、これまで全て0であった制御信号C0, C1, C2をそれぞれ1, 0, 1とする制御を行う。これにより、メモリアドレス信号A0, A1, A2の入力に対し排他的論理和ゲート1, 2, 3の出力は第2表に示す如くなる。

以下余白

第 2 表

メモリ アドレス			排他的論理和 ゲート出力			対応 ワード 番地
A0	A1	A2	EXOR 1	EXOR 2	EXOR 3	
0	0	0	1	0	1	5
0	0	1	1	0	0	4
0	1	0	1	1	1	7
0	1	1	1	1	0	6
1	0	0	0	0	1	1
1	0	1	0	0	0	0
1	1	0	0	1	1	3
1	1	1	0	1	0	2

即ち、メモリアドレス信号000は排他的論理和ゲート1, 2, 3を通過することによりメモリアドレス信号101に変更される。このため、メモリアドレス信号として0, 0, 0を入力しても

ができる。このため、前記メモリセル5を使用した装置の動作が、メモリセル5の1部のアドレス領域の故障のために、停止されることがなくなり、装置の信頼性及び稼動率等を向上させることができる。

第2図は本発明の他の実施例を示したブロック図である。この例は本発明を制御記憶装置(CS)6へのアクセスに適用したものである。一般にマイクロプログラムを格納する制御記憶装置は全アドレス領域を使用することはほとんどない。そこで、システムの立ち上げ時、制御記憶装置6を診断し、もし使用されるアドレス領域中に故障領域が含まれていれば、その故障領域を未使用のアドレス領域と置き換えるような制御信号C0, C1, C2をレジスタ7にセットすることにより、この制御記憶装置6を使用してシステムの正常な動作を続行することができる。

ところで、メモリの歩留りを上げる方法としては、メモリセルを予め冗長構成しておき、もしある領域が故障していたらレーザ光線等でその領域

アドレスデコーダ4にはメモリアドレス信号101が入力されるため、これに対応するメモリセル5のアドレス領域は番地5となる。以下同様でメモリアドレス信号001は排他的論理和ゲート1, 2, 3によりメモリアドレス信号100に変更され、これに対応するメモリセル5のアドレス領域は番地4となる。結局、メモリアドレス000～100によってアクセスできるメモリセル5のアドレス領域は1, 4, 5, 6, 7番地となり、故障した2番地のアドレス領域を使用せずにメモリセル5へのデータの読み出し、書き込みを行なうことができる。従って、メモリセル5に対してのデータの読み書き動作をこのまま継続しても何ら支障がないことになる。

本実施例によれば、排他的論理和ゲート1, 2, 3の制御信号C0, C1, C2を変更することにより、メモリアドレス信号A0, A1, A2を変更することなしに、メモリセル5の故障アドレス領域を未使用の正常なアドレス領域に置き換えて、メモリセル5へのアクセスを正常に続行すること

の回路切断等を行なって、この故障領域を正常な冗長領域で置き換えるという方法が実現されている。しかし、上記の方法ではレーザ光線等を使用して回路切断等を行なわなければならず、故障領域を正常な領域に置き換える操作が煩雑である。ここで、メモリの歩留りを上げる方法として上記のように冗長構成を探るのでなく、全アドレス領域内でユーザが使用していない領域があれば、上記本発明を適用してメモリアドレス信号が故障領域を回避して、正常なアドレス領域にアクセスするよう制御信号を固定し、その後正常なメモリとして出荷すれば、実質的にメモリの歩留りを向上させたと同じことになり、本発明を適用してメモリの歩留りを向上させることもできる。

#### 【発明の効果】

以上記述した如く本発明のメモリアクセス方式によれば、メモリアドレスをアドレス信号変更手段を介してメモリへ入力することにより、メモリセルのアドレス領域を正常な未使用のアドレス領域で置き換えてこのメモリセルに対する正常な

データの読み書き動作を継続し得る効果がある。

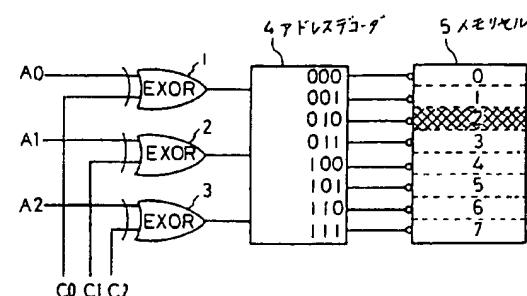
4. 図面の簡単な説明

第1図は本発明の一実施例を示したブロック図、第2図は本発明の他の実施例を示したブロック図である。

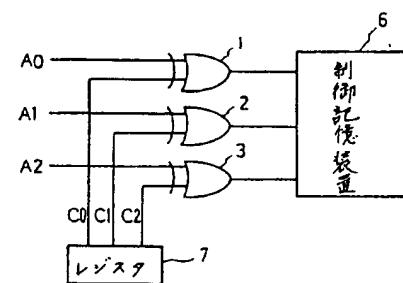
1, 2, 3 … 排他的論理ゲート

4 … アドレスデコーダ 5 … メモリセル

代理人 弁理士 本田 崇



第1図



第2図